

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение
высшего образования
«Южно-уральский государственный университет
(Национальный исследовательский университет)»

Институт естественных и точных наук
Кафедра Физическая электроника

**Задания к практическим занятиям
ПО УЧЕБНОЙ ДИСЦИПЛИНЕ**

Цифровые электронные устройства
(наименование дисциплины)

11.03.04 Электроника и наноэлектроника
(код и наименование направления подготовки)

Академический бакалавриат
(наименование профиля подготовки, направленности программы)

бакалавр
Квалификация (степень) выпускника

Коллоквиум

Коллоквиум проводится в конце изучения каждого раздела. Студент отвечает в письменной форме на 3-5 вопросов по разделу, поясняя свой ответ необходимыми схемами, графиками, формулами. Выполнившим программу курса считается студент, которому зачтены коллоквиумы по всем разделам.

Оценка коллоквиума производится следующим образом:

Зачтено: На большинство вопросов (2 из 3, 3 из 5) даны ответы без существенных недостатков. К существенным недостаткам относятся: неверное изложение принципа работы, конструкции, структурных и электрических схем изучаемых устройств.

Не зачтено: Ответы на большинство вопросов содержат существенные недостатки или отсутствуют.

Раздел 1. Схемотехнические особенности цепей с цифровыми устройствами

1. Логический выход.
2. Выход с тремя состояниями.
3. Выход с открытым стоком.
4. Подтягивающие резисторы
5. Помехи в цифровых цепях.
6. Качество заземления в цифровых цепях
7. Фильтрация напряжений питания.
8. Распространение сигнала в длинной линии
9. Параллельное согласование волновых сопротивлений.
10. Последовательное согласование волновых сопротивлений.
11. Линии с гальванической развязкой.
12. Линии типа «токовая петля».
13. Дифференциальная передача сигнала.
14. Стандарт LVDS.
15. Стандарты PCI/PCI-X/PCI-E.
16. Стандарты SSTL-1/SSTL-2/SSTL-18.
17. Стандарт AGP.
18. Передача с двойной скоростью (DDR).
19. Элементы задержки. Синхронизация в цифровых цепях.
20. Детекторы событий.
21. Генераторы на элементах задержки.
22. Светодиодные индикаторы.
23. Бегущие строки.
24. Матричные ЖК-индикаторы.

Раздел 2. Современные и перспективные запоминающие устройства

1. Кучность адресов и произвольный доступ.
2. Быстрый страничный доступ.
3. Пакетная передача данных и команд.
4. Многобанковые структуры.
5. Конвейеризация трактов передачи данных.
6. Синхронные динамические ОЗУ (SDRAM).
7. Ферроэлектрические ЗУ (FRAM).
8. Полимерно-ферроэлектрические ЗУ (PFRAM).
9. Магниторезистивные ЗУ (MRAM).

10. ЗУ с фазовыми переходами вещества (ОУМ).
11. Флэш-память.

Раздел 3. Программируемые логические устройства

1. Логические блоки FPGA.
2. Системы межсоединений FPGA.
3. Блоки ввода-вывода FPGA.
4. Память FPGA
5. Программируемые переключки.
6. Ключевые транзисторы, управляемые триггерами.
7. Флэш-ключи.
8. Типовые параметры и характеристики FPGA
9. Оценки быстродействия проектов на FPGA.
10. Засекреченность проектов на FPGA.
11. ПЛУ типа система на кристалле. Их применение.
12. Базовые матричные кристаллы. Их применение.